

Attorney's Docket No.: 10417-006001 / S2-118827M/HW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shuichi Kikuchi et al. Art Unit : 2811
Serial No. : 09/444,819 Examiner :
Filed : November 22, 1999
Title : SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from Japanese Applications Nos. Hei. 10-335877, Hei. 10-345651 and Hei. 10-351779, filed November 26, 1998, December 4, 1998 and December 10, 1998, respectively. Certified copies of these applications from which priority is claimed are submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

FEB 03 2000

TECHNOLOGY CENTER 2000

Date: 1/26/00

John B. Pegram
John B. Pegram
Reg. No. 25,198

JBP/tmm

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, NY 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30007460.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

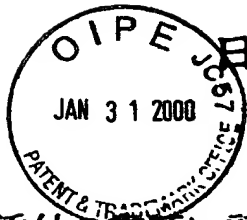
I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

January 26, 2000
Date of Deposit

Theresa Mooney
Signature

Theresa M. Mooney
Typed or Printed Name of Person Signing Certificate

09/4448, 9#2



本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年11月26日

出 願 番 号
Application Number:

平成10年特許願第335877号

出 願 人
Applicant(s):

三洋電機株式会社

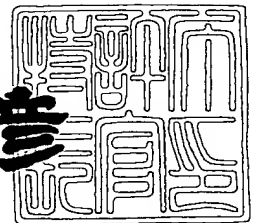
FEB 03 2000

TECHNOLOGY CENTER 2000

2000年 1月 7日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3092006

【書類名】 特許願

【整理番号】 KIA0980172

【提出日】 平成10年11月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置とその製造方法

【請求項の数】 5

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
 会社内

 【氏名】 菊地 修一

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
 会社内

 【氏名】 赤石 由美子

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100076794

 【弁理士】

 【氏名又は名称】 安富 耕二

 【連絡先】 電話 03-5684-3268 知的財産部駐在

【選任した代理人】

 【識別番号】 100107906

 【弁理士】

 【氏名又は名称】 須藤 克彦

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702954

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 ソース領域、チャネル領域及びドレイン領域を有し、更に前記チャネル領域上にゲート電極が形成されており、前記チャネル領域及びドレイン領域間にドリフト領域が形成されて成る半導体装置において、

前記ドリフト領域が少なくとも前記ゲート電極下では浅く、かつ前記ドレイン領域近傍では深く形成されていることを特徴とする半導体装置。

【請求項 2】 第 1 導電型の半導体基板内に形成された第 1 導電型ウエル領域と、

前記基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極に隣接するように形成された第 1 導電型ボディー領域と、

前記第 1 導電型ボディー領域内に形成された第 2 導電型のソース領域並びにチャネル領域と、

前記第 1 導電型ボディー領域と離間された位置に形成された第 2 導電型のドレイン領域と、

前記チャネル領域から前記ドレイン領域にかけて、少なくとも前記ゲート電極下では浅く、かつドレイン領域近傍では深く形成された第 2 導電型のドリフト領域とを有することを特徴とする半導体装置。

【請求項 3】 前記第 2 導電型のドリフト領域が、拡散係数の異なる少なくとも 2 種類の第 2 導電型不純物と、この少なくとも 1 種類以上の第 2 導電型不純物の拡散係数とほぼ同程度かそれ以上の拡散係数を有する少なくとも 1 種類以上の第 1 導電型不純物との拡散係数の差を利用して形成されていることを特徴とする請求項 1 あるいは請求項 2 に記載の半導体装置。

【請求項 4】 第 1 導電型の半導体基板内の第 1 導電型ウエル領域内に後工程を経てドリフト領域と成る低濃度の第 2 導電型層を形成するために 2 種類の第 2 導電型不純物をイオン注入する工程と、

前記基板上のある領域を選択酸化して LOCOS 酸化膜を形成すると共に、2 種類の第 2 導電型不純物のそれぞれの拡散係数の差から前記第 1 導電型ウエル領

域内の比較的深い位置及び比較的基板表層のそれぞれに低濃度の第2導電型層を形成する工程と、

ドレイン形成領域上の前記基板上に形成したホトレジスト膜をマスクにしてソース形成領域の前記基板表層に第1導電型不純物をイオン注入し拡散させることで、前記ソース形成領域の前記第1導電型ウェル領域内の比較的深い位置に形成された第2導電型層をこの第1導電型不純物の拡散で相殺する工程と、

前記基板上にゲート絶縁膜を形成し、このゲート絶縁膜から前記L O C O S酸化膜上にまたがるようにゲート電極を形成した後に、このゲート電極及びドレイン形成領域を被覆するように形成したホトレジスト膜をマスクにして第1導電型不純物を注入し拡散することで前記ゲート電極の一端部に隣接するように第1導電型ボディー領域を形成する工程と、

前記第1導電型ボディー領域内に形成するソース形成領域上及びドレイン形成領域上に開口を有するホトレジスト膜をマスクにして第2導電型不純物を注入してソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 前記ドリフト領域と成る低濃度の第2導電型層が、拡散係数の異なる2種類の第2導電型不純物と、この2種類の第2導電型不純物のうち、1種類の第2導電型不純物の拡散係数とほぼ同程度かそれ以上の拡散係数を有する第1導電型不純物との拡散係数の差を利用して形成されていることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、例えば液晶駆動用IC等に利用される高電圧素子としてのLD (Lateral Double Diffused) MOSトランジスタ技術に関する。

【0002】

【従来の技術】

ここで、LDMOSトランジスタ構造とは、半導体基板表面側に形成した拡散

領域に対して、導電型の異なる不純物を拡散させて、新たな拡散領域を形成し、これらの拡散領域の横方向拡散の差を実効チャンネル長として利用するものであり、短いチャンネルが形成されることで、低オン抵抗化に適した素子となる。

【0003】

図10は、従来のLDMOSトランジスタを説明するための断面図であり、一例としてNチャネル型のLDMOSトランジスタ構造について図示してある。尚、Pチャネル型のLDMOSトランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様な構造となっているのは周知の通りである。

【0004】

図10において、1は一導電型、例えばP型の半導体基板で、2はN型ウエル領域で、このN型ウエル領域2内にP型ボディー領域3が形成されると共に、このP型ボディー領域3内にはN型拡散領域4が形成され、また前記N型ウエル領域2内にN型拡散領域5が形成されている。基板表面にはゲート絶縁膜6を介してゲート電極7が形成されており、このゲート電極7直下のP型ボディー領域3の表面領域にはチャンネル領域8が形成されている。

【0005】

そして、前記N型拡散領域4をソース領域、N型拡散領域5をドレイン領域とし、LOCOS酸化膜9下のN型ウエル領域2をドリフト領域としている。また、10、11はそれぞれソース電極、ドレイン電極であり、12はP型ボディー領域3の電位を取るためのP型拡散領域で、13は層間絶縁膜である。

【0006】

上記LDMOSトランジスタにおいては、N型ウエル領域2を拡散形成することで、N型ウエル領域2表面での濃度が高くなり、N型ウエル領域2表面での電流が流れやすくなると共に、高耐圧化を図ることができる。そして、このような構成のLDMOSトランジスタは、表面緩和型(RESURF)LDMOSと呼ばれ、前記N型ウエル領域2のドリフト領域のドーパント濃度は、RESURF条件を満たすように設定されている。尚、このような技術は、特開平9-139438号公報等の開示されている。

【0007】

【発明が解決しようとする課題】

しかしながら、図 10 に示すように前記 N 型ウェル領域 2 は一様に同じ深さ位置まで形成されているため、更なる高耐圧化並びにオン抵抗の低減化を図る際の妨げとなっていた。

【0008】

従って、本発明では更なる高耐圧化並びにオン抵抗の低減化の要望に応え得る半導体装置とその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

そこで、上記課題を解決するために本発明は、ソース領域 4、チャネル領域 8 及びドレイン領域 5 を有し、更に前記チャネル領域 8 上にゲート電極 7 が形成されており、前記チャネル領域 8 及びドレイン領域 5 間にドリフト領域が形成されて成る半導体装置において、例えば N チャネル型の LDMOS トランジスタを一例として説明すると、前記ドリフト領域と成る低濃度の N-層 22 が少なくとも前記ゲート電極 7 下では浅く（第 1 の N-層 22 A）、かつ前記ドレイン領域 5 近傍では深く（第 2 の N-層 22 B）形成されていることを特徴とするもので、このようにゲート電極 7 下に形成されるドリフト領域を浅くすることで RESURF 効果が高まる。

【0010】

そして、その製造方法は、P 型半導体基板 1 内の P 型ウェル領域 21 内に前記ドリフト領域と成る N-層 22 を形成するために 2 種類の N 型不純物（例えば、ヒ素イオンとリンイオン）をイオン注入する。次に、前記基板 1 上のある領域を選択酸化して LOCOS 酸化膜 9 を形成すると共に、ヒ素イオンとリンイオンのそれぞれの拡散係数の差から比較的基板表層及び前記 P 型ウェル領域 21 内の比較的深い位置のそれぞれに低濃度の N-層 22 A、22 B を形成する。続いて、ドレイン形成領域上の前記基板上に形成したホトレジスト膜 34 をマスクにしてソース形成領域の前記基板表層に P 型不純物（例えば、ボロンイオン）をイオン注入し拡散させることで、前記ソース形成領域の前記 P 型ウェル領域 21 内の比較的深い位置に形成された N-層 22 B をこのボロンイオンの拡散で相殺する。

次に、前記基板上にゲート絶縁膜 6 を形成し、このゲート絶縁膜 6 から前記 LOCOS 酸化膜 9 上にまたがるようにゲート電極 7 を形成した後に、このゲート電極 7 及びドレイン形成領域を被覆するように形成したホトレジスト膜 35 をマスクにして P 型不純物（例えば、ボロンイオン）を注入し拡散することで前記ゲート電極 7 の一端部に隣接するように P 型ボディー領域 3 を形成する。そして、前記 P 型ボディー領域 3 内に形成するソース形成領域上及びドレイン形成領域上にホトレジスト膜 37 をマスクにして N 型不純物（例えば、リンイオンやヒ素イオン）を注入してソース・ドレイン領域と成る N 型拡散領域 4, 5 を形成する工程を有することを特徴とするものである。

【0011】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について図面を参照しながら説明する。

【0012】

図 1 は本発明の LDMOS トランジスタを説明するための断面図であり、一例として N チャネル型の LDMOS トランジスタ構造について図示してある。尚、P チャネル型の LDMOS トランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様な構造となっているのは周知の通りである。尚、従来構成と同等な構成については同符号を付して説明を簡略化する。

【0013】

図 1 おいて、1 は一導電型、例えば P 型の半導体基板で、21 は P 型ウエル領域で、この P 型ウエル領域 21 内に N 層 22 が形成されると共に、P 型ボディー領域 3 が形成されている。また、前記 P 型ボディー領域 3 内には N 型拡散領域 4 が形成され、前記 N 層 22 内に N 型拡散領域 5 が形成されている。基板表面にはゲート絶縁膜 6 を介してゲート電極 7 が形成されており、このゲート電極 7 直下の P 型ボディー領域 3 の表面領域にはチャネル領域 8 が形成されている。

【0014】

そして、前記 N 型拡散領域 4 をソース領域、N 型拡散領域 5 をドレイン領域とし、LOCOS 酸化膜 9 下の N 層 22 をドリフト領域としている。以下、図示

した説明は省略するが、従来構成と同様に前記N型拡散領域4，5にコンタクトするようにソース電極10，ドレイン電極11が形成され、N型拡散領域4に隣接して前記P型ボディー領域3の電位を取るためのP型拡散領域12が形成され、層間絶縁膜13で被覆されている。

【0015】

本発明の特徴は、上述したようにP型ウェル領域21内にN-層22を形成し、このN-層22がゲート電極7の下方で浅く形成され（第1のN-層22A）、ドレイン領域5近傍で深く形成されていることである（第2のN-層22B）。

【0016】

これにより、前記ゲート電極7の下方で浅く形成された第1のN-層22Aの濃度は高く形成されており、オン抵抗が小さくなり電流が流れやすくなると共に、ドレイン領域5近傍（ドリフト領域位置）の第2のN-層22Bの濃度は低く形成されているので空乏層が拡大しやすくなり高耐圧化が図れる（図9に示す濃度分布図参照）。尚、本実施形態のNチャネル型のLDMOSトランジスタでは、およそ30V程度の耐圧を有している。

【0017】

以下、上述した半導体装置の製造方法について図面を参照しながら説明する。

【0018】

図2において、P型半導体基板1上にパッド酸化膜30を形成した後に、P型ウェル領域21内にホトレジスト膜31をマスクにして後工程でドリフト領域と成るN-層22を形成するための2種類のN型不純物（例えば、ヒ素イオンとリンイオン）をイオン注入して、第1，第2のイオン注入層32，33を形成する。尚、本工程では、例えば、ヒ素イオンをおよそ160KeVの加速電圧で、 $3 \times 10^{12} / \text{cm}^2$ の注入量で注入し、リンイオンをおよそ50KeVの加速電圧で、 $4 \times 10^{12} / \text{cm}^2$ の注入条件で行う。

【0019】

次に、図3において、前記基板1上に形成した不図示のシリコン窒化膜をマスクにして前記基板表面のある領域を選択酸化しておよそ7300Å程度の膜厚の

LOCOS酸化膜9を形成すると共に、上述したように前記基板表層に注入しておいたヒ素イオンとリンイオンの拡散係数の差から前記ヒ素イオンが前記基板1内部に拡散されて比較的基板表層に第1のN層22Aが形成され、また前記リンイオンが前記基板1内部に拡散されて前記P型ウエル領域21内の比較的深い位置に第2のN層22Bが形成される。

【0020】

続いて、図4において、ドレイン形成領域上の前記基板1上にホトレジスト膜34を形成した後に、このホトレジスト膜34をマスクにしてソース形成領域の前記基板表層にP型不純物（例えば、ボロンイオン）をイオン注入し、拡散することで、前記ソース形成領域の前記第2のN層22Bを形成するリンイオンをこのボロンイオンで相殺してこのソース形成領域の第2のN層22Bを消滅させる。尚、本工程では、例えば、ボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入量で注入した後、およそ1100℃で2時間熱拡散させる。ここで、図9は前述したヒ素イオン（実線で示す）とリンイオン（点線で示す）とボロンイオン（一点鎖線で示す）がそれぞれ拡散された際の不純物濃度分布を示す図で、図からわかるように基板のリンイオンを親とする濃度分布は、ボロンイオンを親とする濃度分布と重合して相殺されることになる。

【0021】

このように本発明では、ドリフト領域を形成する際に拡散係数の異なるヒ素イオンとリンイオンの拡散係数の差を利用して、ソース形成領域側の基板深くに形成された第2のN層22Bを、後工程で注入されるボロンイオンを拡散させることで相殺して、このソース形成領域側には基板表層に形成された第1のN層22Aだけが残ることとなり、オン抵抗の低減化が図られた半導体装置を比較的簡単な製造工程で提供することができる。

【0022】

次に、図5において、前記基板1上におよそ800Å程度の膜厚のゲート絶縁膜6を形成した後に、このゲート絶縁膜6から前記LOCOS酸化膜9上にまたがるようにおよそ2500Å程度の膜厚のゲート電極7を形成する。

【0023】

続いて、図6において、前記ゲート電極7及びドレイン形成領域を被覆するように形成したホトレジスト膜35をマスクにしてP型不純物（例えば、ボロンイオン）を注入し拡散することで前記ゲート電極7の一端部に隣接するようにP型ボディー領域3を形成する。尚、本工程では、例えば、ボロンイオンをおよそ40 KeVの加速電圧で、 $5 \times 10^{13} / \text{cm}^2$ の注入量で注入した後に、およそ1050℃で2時間熱拡散させる。

【0024】

更に、図7において、前記P型ボディー領域3内に形成するソース形成領域上及びドレイン形成領域上に開口部を有するホトレジスト膜37をマスクにしてN型不純物を注入してソース・ドレイン領域となるN型拡散領域4、5を形成する。本工程において、例えば、いわゆるLDD構造のソース・ドレイン領域を形成する場合には、先ず、図6に示すホトレジスト膜35を除去した状態で、例えば、リンイオンをおよそ40 KeVの加速電圧で、 $3.5 \times 10^{13} / \text{cm}^2$ の注入量で注入した後に、図7に示すように前記ゲート電極7の側端部にサイドウォールスペーサ膜36を形成し、ホトレジスト膜37をマスクにして例えば、ヒ素イオンをおよそ80 KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入量で注入する。尚、本実施形態において、ソース・ドレイン領域はLDD構造に限定されるものではないことは言うまでもないことである。

【0025】

そして、図8において、前記P型ボディー領域3の電位を取るために前記N型拡散領域4に隣接する位置に形成されるP型拡散領域12を形成するために、ホトレジスト膜38をマスクにしてP型不純物（例えば、二フッ化ボロンイオン）を注入して、当該P型拡散領域12を形成する。尚、本工程では、例えば、二フッ化ボロンイオンをおよそ60 KeVの加速電圧で、 $4 \times 10^{15} / \text{cm}^2$ の注入量で注入する。

【0026】

以下、従来構成と同様にソース電極10、ドレイン電極11を形成した後に、層間絶縁膜13を形成して半導体装置を完成させる。

【0027】

【発明の効果】

本発明によれば、ドリフト領域と成る低濃度層が、少なくともゲート電極下では浅く、かつドレイン領域近傍では深く形成されることで、高耐圧化並びにオン抵抗の低減化が図れる。

【0028】

また、本発明では上記ドリフト領域を形成する際に、拡散係数の異なる少なくとも2種類の第2導電型不純物と、この少なくとも1種類以上の第2導電型不純物の拡散係数とほぼ同程度かそれ以上の拡散係数を有する少なくとも1種類以上の第1導電型不純物との拡散係数の差を利用して形成しているため製造工程が簡便となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図9】

本発明のドリフト領域形成原理を説明するための各種イオンの濃度分布図である

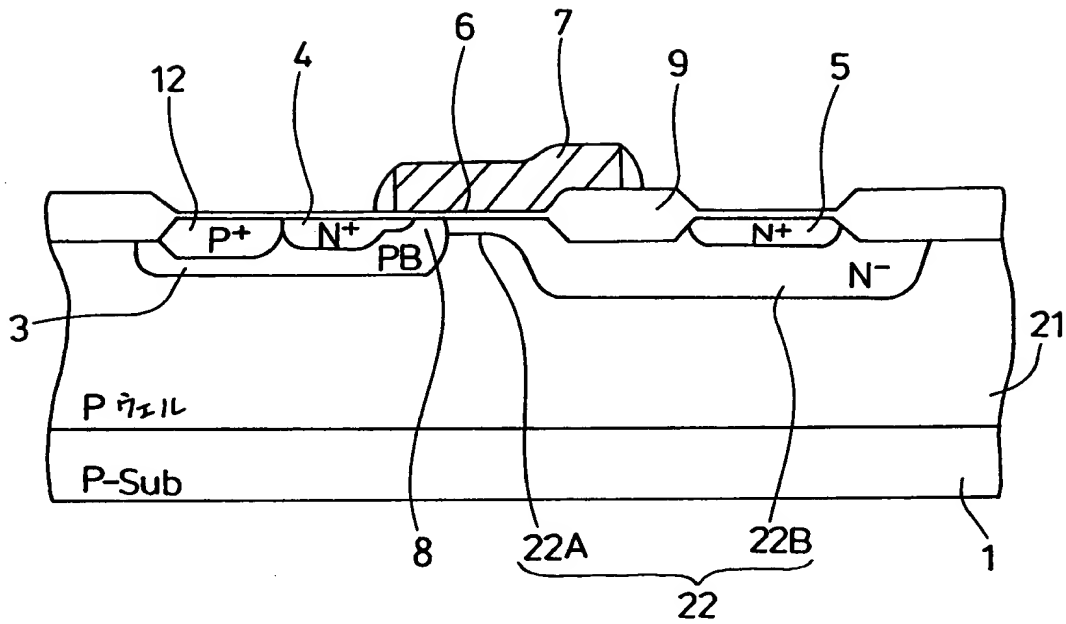
。

【図 10】

従来の半導体装置を示す断面図である。

【書類名】 図面

【図 1】



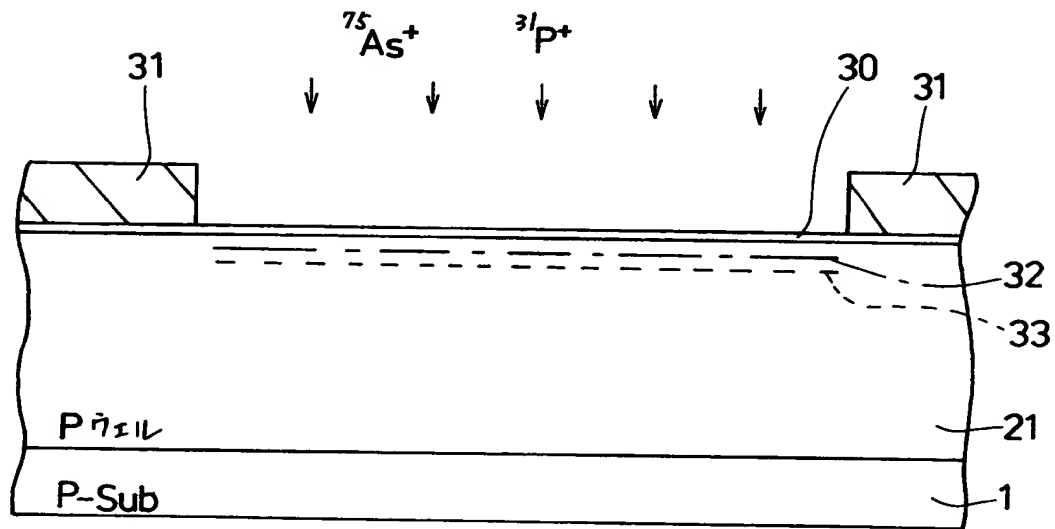
21: P型ウェル領域

22A: 第1の N⁻ 層

22B: 第2の N⁻ 層

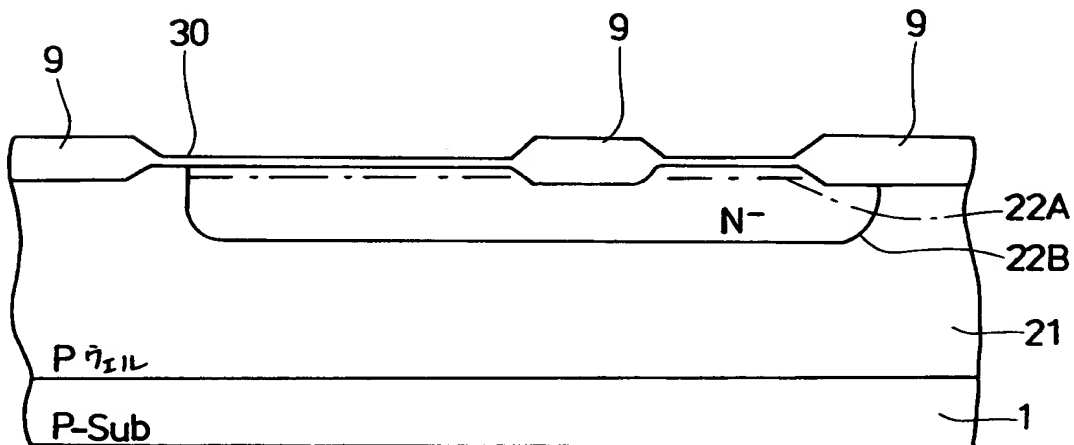
22: N⁻ 層 (ドリフト領域)

【図 2】

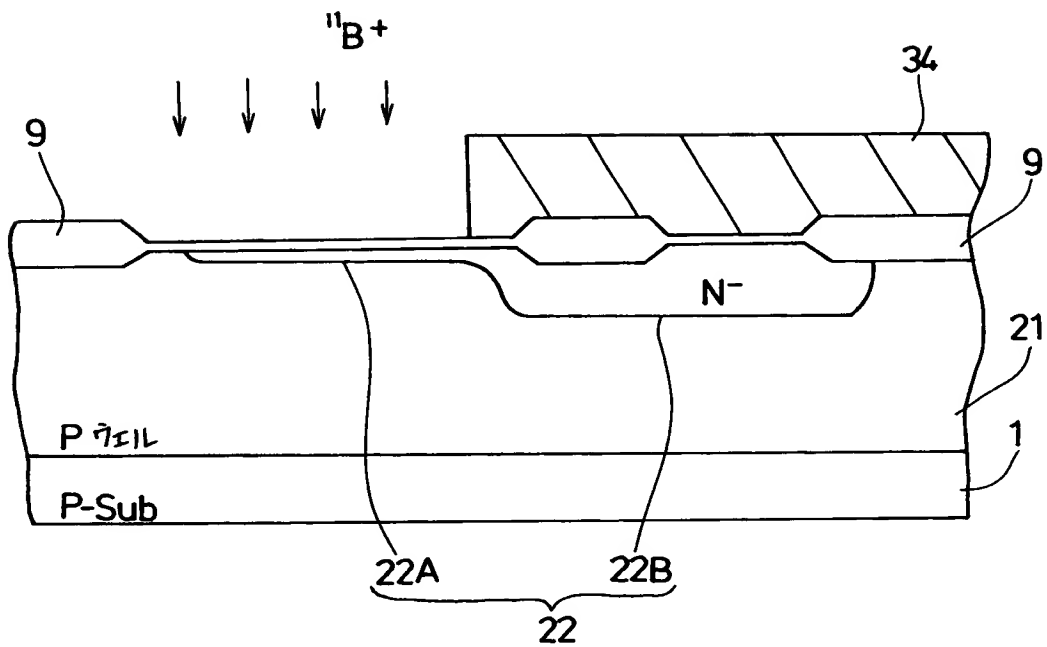


30: ハード酸化物膜
31: ホトレジスト膜
32, 33: 第1, 第2のイオン注入層

【図 3】

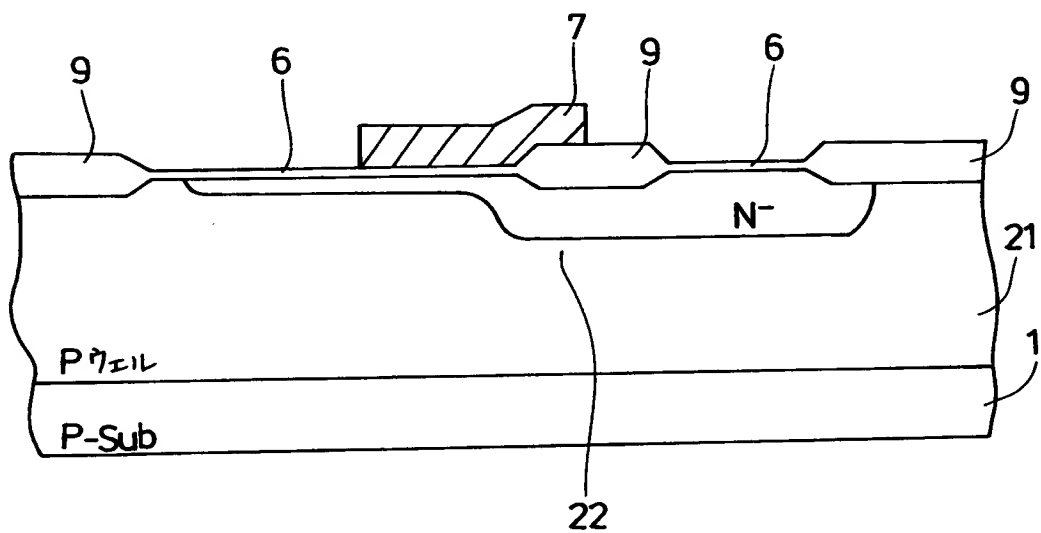


【図4】

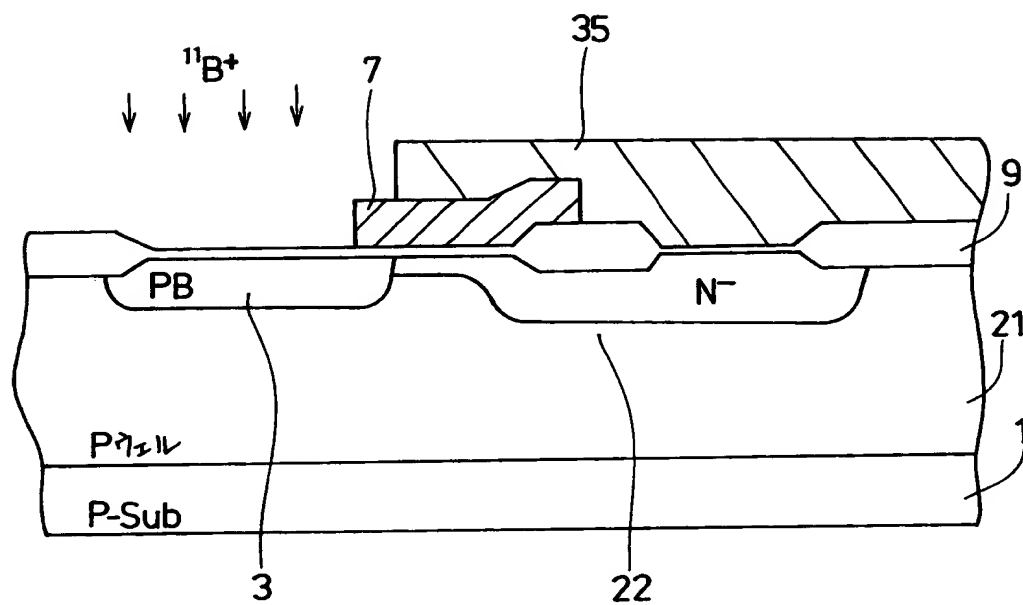


34: ホトレジスト膜

【図5】

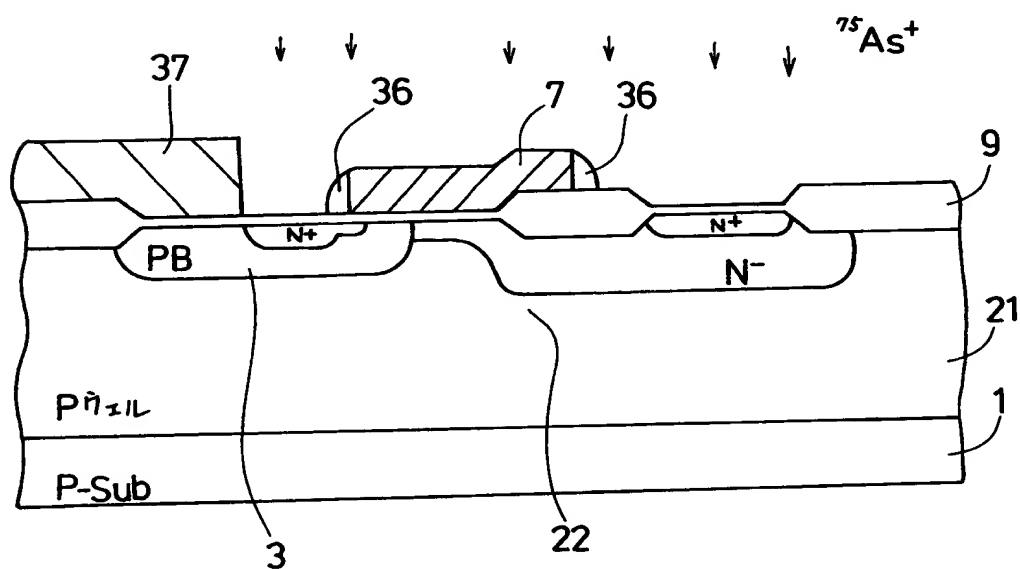


【図 6】



35: ホトレジスト膜

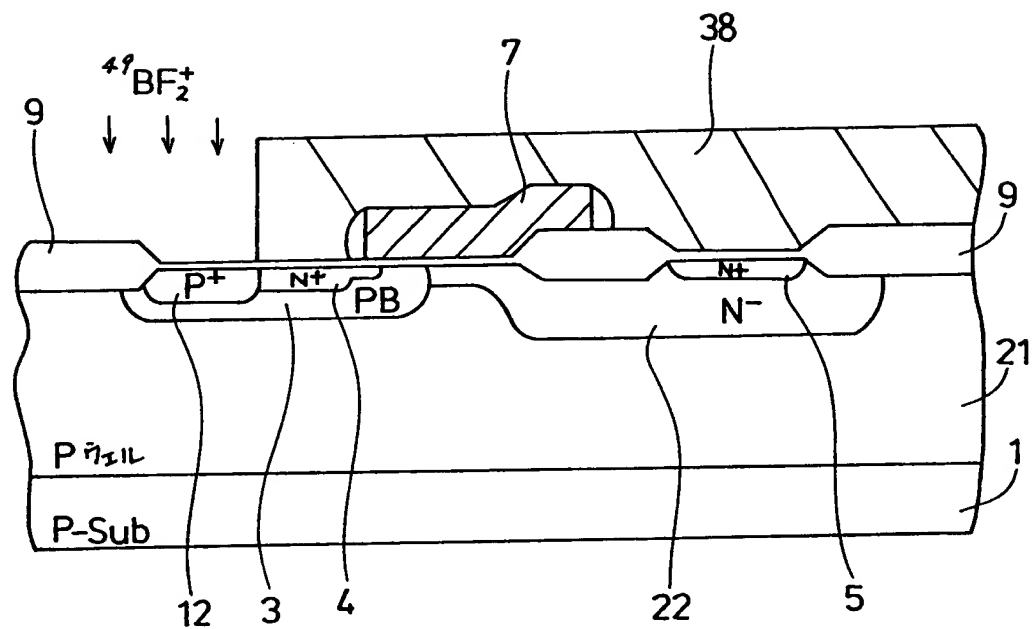
【図 7】



36: サイドウォールスペーサ膜

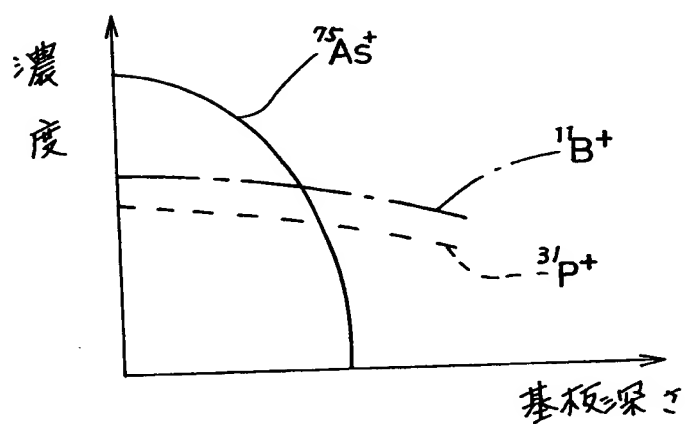
37: ホトレジスト膜

【図 8】

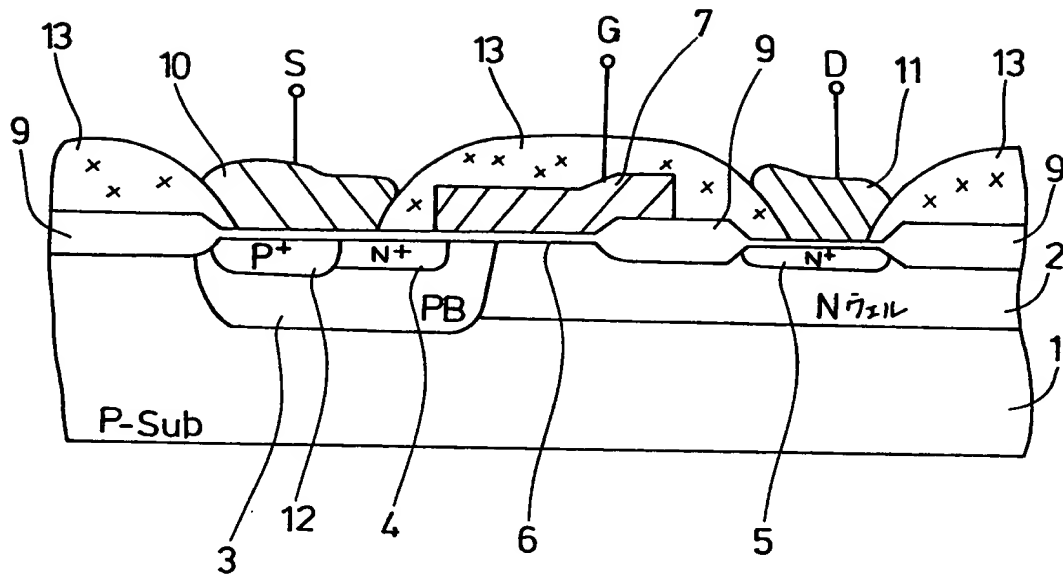


38: ホトレジスト膜

【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 高耐圧化並びにオン抵抗の低減化を図る。

【解決手段】 本発明の半導体装置は、ソース領域 4、チャネル領域 8 及びドレイン領域 5 を有し、更に前記チャネル領域 8 上にゲート電極 7 が形成されており、前記チャネル領域 8 及びドレイン領域 5 間に少なくとも前記ゲート電極 7 下では浅く（第 1 のドリフト領域 22 A）、かつ前記ドレイン領域 5 近傍では深く（第 2 のドリフト領域 22 B）形成されたドリフト領域 22 を有することを特徴とする。

【選択図】 図 1

【書類名】 職権訂正データ
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001889

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

【氏名又は名称】 三洋電機株式会社

【代理人】 申請人

【識別番号】 100076794

【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋電機
 株式会社 情報通信事業本部

【氏名又は名称】 安富 耕二

【選任した代理人】

【識別番号】 100107906

【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋電機
 株式会社 半導体事業本部 事業推進統括部 知的
 財産部

【氏名又は名称】 須藤 克彦

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社